

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269437

(P2000-269437A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード (参考)
H 0 1 L	27/04	H 0 1 L	27/04
	21/822		27/08
	21/8238		27/10
	27/092		
	27/108		

審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願2000-70332 (P2000-70332)

(22) 出願日 平成12年3月14日 (2000.3.14)

(31) 優先権主張番号 9 2 3 4 / 1 9 9 9

(32) 優先日 平成11年3月18日 (1999.3.18)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72) 発明者 張 泰 式

大韓民国 忠清北道 興徳区 鳳鳴 2 洞  
住共 2 段地 アパートメント 106-  
304

(74) 代理人 100068755

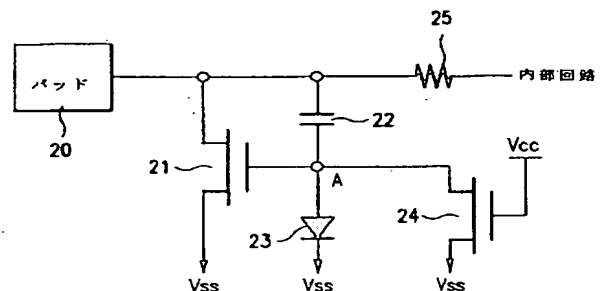
弁理士 恩田 博宣 (外 1 名)

(54) 【発明の名称】 静電放電保護回路

(57) 【要約】

【課題】 静電放電印加電圧および E S D 周波数によるゲート電圧の変化を最小化して E S D 放電能力を向上することが可能な E S D 保護回路を提供する。

【解決手段】 E S D 保護回路は、入力パッドに連結された第 1 トランジスタ 2 1 と、入力パッドと低電位電源との間に接続されたキャパシタ 2 2 およびダイオード 2 3 と、キャパシタ 2 2 とダイオード 2 3 との間の接続点と低電位電源との間に接続された第 2 トランジスタ 2 4 と、入力パッドに接続され、E S D 電荷の伝達を遅延させる抵抗 2 5 とを含む。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項 1】 入力パッドに連結された第 1 トランジスタと、

前記入力パッドと低電位電源との間に直列に連結されたキャパシタおよびダイオードと、

キャパシタとダイオード間の接続点と低電位電源との間に接続され、高電位電源に応答的な第 2 トランジスタと、

前記入力パッドに接続され、放電電荷の伝達を遅延させる抵抗とを備えることを特徴とする静電放電保護回路。

【請求項 2】 前記キャパシタは、第 1 トランジスタのドレインとゲート間に形成されるオーバーラップキャパシタであることを特徴とする請求項 1 に記載の静電放電保護回路。

【請求項 3】 第 1 導電型半導体基板の所定領域に形成される素子隔離膜と、

前記第 1 導電型半導体基板上の所定領域に形成される第 1 ゲートと、

前記半導体基板の表面内に第 1 ゲートの一侧とオーバーラップするように形成されるドレイン領域と、

前記第 1 ゲートの他側において半導体基板の表面内に形成されるソース領域と、

前記半導体基板の所定領域に形成される第 1 導電型ウェル領域と、

前記第 2 導電型ウェル領域内に所定間隔で形成される第 1 導電型不純物領域および第 2 導電型不純物領域と、

前記素子隔離膜の上側に形成される第 2 ゲートと、

前記ドレイン領域に連結される入力パッドと、

前記ソース領域および第 2 導電型不純物領域に連結される接地ラインと、

前記第 1 ゲートおよび第 2 ゲートのドレイン領域と第 2 導電型不純物領域とに連結される配線ラインと、

前記第 2 ゲートに連結される電源ラインとを備えることを特徴とする静電放電保護回路。

【請求項 4】 前記第 1 ゲートおよび第 1 ゲートとオーバーラップするドレイン領域によりキャパシタが形成されることを特徴とする請求項 3 に記載の静電放電保護回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は静電放電 (ESD: Electric Static Discharge) 保護回路に関するもので、特に ESD 保護能力が向上された ESD 保護回路に関するものである。

## 【0002】

【従来の技術】 一般的に半導体チップの信頼性に影響する静電気は瞬間的に高い電圧であり、周囲の至る所で発生し得るために、静電気に対する保護対策は非常に重要である。大きなサイズの素子を使用したときには特別な保護対策なしにも静電気による問題が発生しなかった

2

が、高集積化や多ピン化傾向による素子の縮小やピン数の増加により不良品が増え、現在、品質保証の条件の一つとして静電気保護が重要視されている。

【0003】 このような静電気に対する半導体チップの対策として、静電気と接する外部ピンと内部回路の間に保護回路を配置し、高い静電気から内部回路を保護し、適正電圧が保たれるようにすることが提案されている。特に、製品の特性に影響を与えない範囲で保護回路は設けられるべきである。このような理由から、一般的に自由に設計及び使用可能な入力段保護回路よりも、素子の出力特性によって素子の使用が制限される出力段保護回路の研究が進められている。

【0004】 一方、DRAM は CMOS で製造され、世代が進んで集積密度が高くなるに従ってジャンクション (junction) の破壊 (Break Down) 電圧が低くなり、特に入力端子と出力端子は静電気の影響を受け易い。

【0005】 静電気による静電放電 (ESD) には次の二つの種類がある。パッケージでアセンブリされた後、製品出荷テスト時に DRAM がハンドレイン (Handler Lane) を通過する時に発生するマシンモード (Machine Mode) と呼ばれる静電気の電圧は約 250V と低いが、インピーダンスが小さく電荷量が相対的に多い。

【0006】 第 2 は DRAM に使用者の手が触れるとき、人体の静電気からくるヒューマンボディモード (Human Body Mode) と呼ばれる静電放電では、大インピーダンスを通じて約 2000V の高電圧で放電される。

【0007】 このような静電気による破壊から DRAM を保護するために、DRAM 内部には入力保護回路が設置される。その保護回路は高電圧パルスと高電流パルスを内部回路に流入させることなく、グラウンドやパワーラインのようなメタルラインを持つ配線を通じて静電放電を抜き出す。

【0008】 以下、添付の図面を参照して従来の ESD 保護回路の構成を説明する。図 1 は従来の ESD 保護回路の回路図である。図 1 に示すように、入力パッド 10 に ESD 電荷が印加されるときに ESD 電荷を放電するトランジスタ 11 が設けられている。入力パッド 10 にはキャパシタ 12 および第 1 抵抗 13 が連結され、入力パッド 10 に ESD が印加されるとき、キャパシタ 12 および第 1 抵抗 13 によってトランジスタ 11 のゲートにゲート電圧を印加してトランジスタ 11 のバイポーラ駆動能力が向上される。第 2 抵抗 14 は、入力パッド PAD に印加される ESD 電荷が内部回路へ伝達されるのを遅延させる。

【0009】 ここで、トランジスタ 11 のドレインは入力パッド 10 に連結され、ソースは接地 (低電位電源 Vss) に連結される。そして、キャパシタ 12 および第 1 抵抗 13 は入力パッド 10 と接地 (Vss) との間に直列に連結される。

【0010】 トランジスタ 11 のゲートはキャパシタ 1

3

2および第1抵抗13の間の接点Aに連結される。以下、従来のESD保護回路の動作を説明する。

【0011】まず、入力パッド10にESD電荷(約200V~3000V)が印加されると、入力パッド10に連結されたキャパシタ12を通じてトランジスタ11のゲートにバイアス電圧が印加される。

【0012】続いて、トランジスタ11のゲートに印加されたバイアス電圧によりトランジスタ11の破壊電圧が降下して、トランジスタ11が早くバイポーラ動作して入力パッド10に印加されたESD電荷が放電される。このとき、トランジスタ11のゲート電圧が2V以上に上昇すると、多くの電流がトランジスタ11に流れて放電されトランジスタ11の破壊電圧が低くなるので、第1抵抗13を通じて電流を引き出し、ゲート電圧を0.7V~2V以内に維持しなければならない。

【0013】もし、トランジスタ11のゲートに印加される電圧が2V以上になると、トランジスタ11が正常的に作動しなくなり、効率的にESD電荷を放電させることができなくなる。

【0014】

【発明が解決しようとする課題】しかし、従来のESD保護回路においては次のような問題点があった。すなわち、入力パッドと接地の間に直列に連結されたキャパシタ12と抵抗13に印加されるESD印加電圧およびESD周波数によってゲート電圧が変動するため、HBM(Human Body Mode)、MM(Machine Mode)、CDM(Charged Device Mode)などのESDモードに対して良好に動作するようにトランジスタのゲートに印加されるキャパシタおよび抵抗の値を最適化(0.7V~2V)することが困難である。

【0015】本発明は上記のような問題点を解決するためになされたものであって、その目的は、ゲート電圧の変化を最小化してESD保護能力を向上することができるESD保護回路を提供することにある。

【0016】

【課題を解決するための手段】上記のような目的を達成するために、請求項1に記載の発明による静電放電保護回路は、入力パッドに連結された第1トランジスタと、前記入力パッドと低電位電源との間に直列に連結されたキャパシタおよびダイオードと、キャパシタとダイオード間の接続点と低電位電源との間に接続され、高電位電源に応答的な第2トランジスタと、前記入力パッドに接続され、放電電荷の伝達を遅延させる抵抗とを備えることを要旨とする。

【0017】請求項2に記載の発明は、前記キャパシタは、第1トランジスタのドレインとゲート間に形成されるオーバーラップキャパシタであることを要旨とする。請求項3に記載の発明は、第1導電型半導体基板の所定領域に形成される素子隔離膜と、前記第1導電型半導体基板上の所定領域に形成される第1ゲートと、前記半導

4

体基板の表面内に第1ゲートの一侧とオーバーラップするように形成されるドレイン領域と、前記第1ゲートの他側において半導体基板の表面内に形成されるソース領域と、前記半導体基板の所定領域に形成される第1導電型ウェル領域と、前記第2導電型ウェル領域内に所定間隔で形成される第1導電型不純物領域および第2導電型不純物領域と、前記素子隔離膜の上側に形成される第2ゲートと、前記ドレイン領域に連結される入力パッドと、前記ソース領域および第2導電型不純物領域に連結される接地ラインと、前記第1ゲートおよび第2ゲートのドレイン領域と第2導電型不純物領域とに連結される配線ラインと、前記第2ゲートに連結される電源ラインとを備えることを要旨とする。

【0018】請求項4に記載の発明は、前記第1ゲートおよび第1ゲートとオーバーラップするドレイン領域によりキャパシタが形成されることを要旨とする。

【0019】

【発明の実施の形態】以下、添付の図面に基づいて本発明の一実施形態のESD保護回路を詳細に説明する。

【0020】図2は本発明の一実施形態のESD保護回路の回路図である。図2に示すように、入力パッド20にはESD電荷を放電させる第1トランジスタ21が接続されている。又、入力パッド20には、キャパシタ22およびダイオード23が接続され、入力パッド20にESD電荷が印加されると、キャパシタ22およびダイオード23は第1トランジスタ21のゲートにゲート電圧を印加して第1トランジスタ21のバイポーラ駆動能力を向上させる。チップの動作時に第1トランジスタ21の駆動を制御する第2トランジスタ24がキャパシタ22及びダイオード23間の接続点と接地との間に接続されている。入力パッド20にESD電荷が印加されるとき、内部回路へESD電荷が伝達されるのを遅延させる抵抗25が入力パッド20に接続されている。

【0021】第1トランジスタ21のドレインは入力パッド20に連結され、ソースは接地( $V_{ss}$ )に連結される。そして、入力パッド(PAD)20と接地( $V_{ss}$ )の間にはキャパシタ22とダイオード23が直列に連結され、キャパシタ22とダイオード23との接点Aに第1トランジスタ21のゲートが連結される。

【0022】ダイオード23のアノードはキャパシタ22と連結され、カソードは接地( $V_{ss}$ )に連結される。第2トランジスタ24のドレインはキャパシタ22とダイオード23の接点Aに連結され、ソースは接地( $V_{ss}$ )に連結され、ゲートは電源( $V_{cc}$ )に連結される。

【0023】キャパシタ22は第1トランジスタ21のドレインとゲート間のオーバーラップキャパシタ(Overlap capacitor)を使用する。以下、上記構成のESD保護回路の動作を説明する。

【0024】まず、入力パッド20にESD電荷が印加

5

されると、キャパシタ22を通じて第1トランジスタ21のゲートにバイアス電圧が印加される。続いて、第1トランジスタ21のゲートに印加されたバイアス電圧によって第1トランジスタ21の破壊電圧が降下して、第1トランジスタ21が早くバイポーラ動作する。このとき、第1トランジスタ21のゲート電圧が0.7V以上に上昇すると、ダイオード23はオン(ON)となり、第1トランジスタ21のゲート電圧が0.7V以上に上昇することが防止される。

【0025】チップの動作時、電源(Vcc)が投入されると、第2トランジスタ24はオンされ、第1トランジスタ21のゲート電圧は常に0Vに維持されるので、正常動作状態における第1トランジスタ21の作動が防止される。

【0026】図3はESD保護回路の概略的な構造断面図である。図3に示すように、P型半導体基板31の所定領域に素子隔離膜32が形成されており、素子隔離膜32の形成されていない半導体基板31の所定領域(アクティブ領域)にゲート絶縁膜(図示しない)を介して第1ゲート33が形成されている。

【0027】第1ゲート33の一侧の半導体基板31の表面内に第1ゲート33とオーバーラップするドレイン領域34が形成されており、第1ゲート33の反対側の半導体基板31の表面内にはソース領域35が形成されている。

【0028】半導体基板31の所定領域にn-ウェル領域36が形成されており、n-ウェル領域36内に所定間隔でP型不純物領域37およびN型不純物領域38が形成されている。

【0029】素子隔離膜32の上側には第2ゲート39が形成されている。ドレイン領域34には入力パッド40が連結されており、第1ゲート33および第2ゲート39のドレイン領域(図示しない)とP型不純物領域37とは配線ライン41で連結されており、N型不純物領域38とソース領域35には接地ライン(Vss)42で連結され、第2ゲート39に電源(Vcc)ライン43が連結される。

【0030】第1ゲート33および第2ゲート39、入

6

力パッド40および各ラインは絶縁膜(図示しない)により絶縁されている。ここで、第1ゲート33と第1ゲート33とオーバーラップしているドレイン領域34とでキャパシタが形成される。

【0031】上記したように本実施形態のESD保護回路では、ESD電荷を放電させる第1トランジスタ21がキャパシタ22とダイオード23により制御されるため、ESD放電時のゲート電圧は入力パッド20に印加される静電周波数および電圧とは無関係にダイオードのしきい電圧の0.5V~0.7Vに維持される。従って、ゲート電圧の変化を最小化してESD保護能力を向上することができる。

【0032】

【発明の効果】上述したように本発明によるESD保護回路は次のような効果がある。請求項1及び請求項3に記載の発明によれば、ESD電荷を放電させるトランジスタがキャパシタとダイオードにより制御されるため、ESD放電時のゲート電圧は入力パッドに印加される周波数および電圧とは無関係にダイオードのしきい値電圧に維持される。従って、ESDモードと無関係にESD保護回路の動作を最適化させることができる。

【0033】請求項2及び請求項4に記載の発明によれば、キャパシタを第1トランジスタのドレインとゲートの間にオーバーラップするように配置することによって、別途新たなキャパシタを必要とせず、素子の集積密度を向上させることができる。

【図面の簡単な説明】

【図1】従来のESD保護回路を示す回路図。

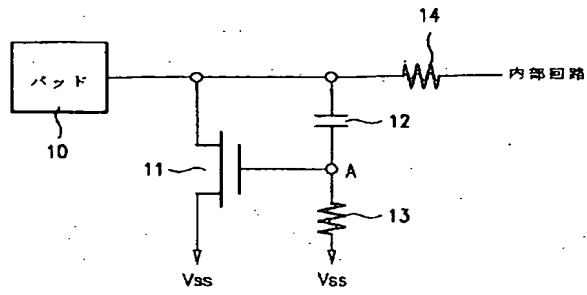
【図2】本発明の一実施形態のESD保護回路を示す回路図。

【図3】本発明の一実施形態のESD保護回路を示す構造断面図。

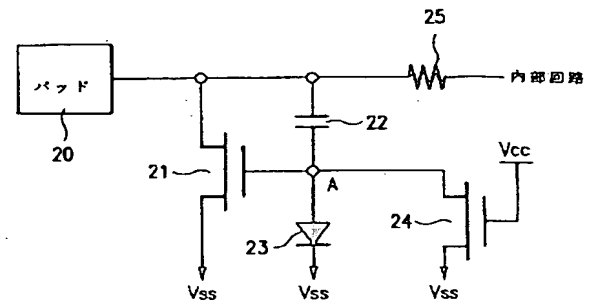
【符号の説明】

20:入力パッド	21:第1トランジスタ
22:キャパシタ	23:ダイオード
24:第2トランジスタ	25:抵抗

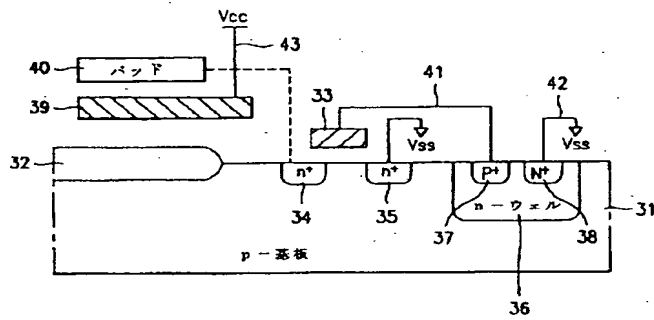
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/8242

識別記号

F I

テーマコード(参考)

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**